

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : **09-064858**  
 (43) Date of publication of application : **07. 03. 1997**

(51) Int. Cl. H04L 7/02  
H04L 7/00

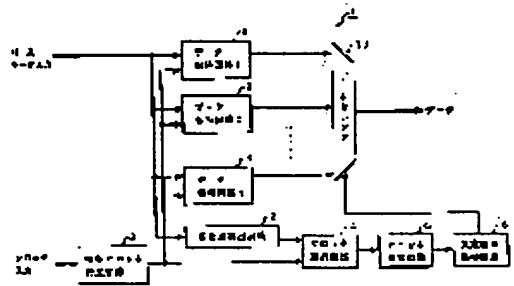
(21) Application number : **07-236176**      (71) Applicant : **TOYO COMMUN EQUIP CO LTD**  
 (22) Date of filing : **22. 08. 1995**      (72) Inventor : **KONDO MASAMI**

**(54) PHASE SYNCHRONIZATION CIRCUIT**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a stable extract circuit by providing a polyphase clock generating means and selecting a data latch means corresponding to a phase of a clock whose change point is detected by the clock phase detection means among data latch means.

**SOLUTION:** Each of data latch circuits 9, 9, ... latches burst data corresponding to a phase of each clock generated by a polyphase clock generating circuit 3. A clock selection circuit 4, a clock decision circuit 5, and a decision result latch circuit 6 select and decide a desired clock phase from each clock signal generated by the circuit 3 based on a change point of the burst data detected by a change point detection circuit 2. Then output data from the data latch circuit 9 corresponding to the phase of the clock to be decided are selected as output object data by a data selector 10. That is, when the selection of the clock signal is decided by the selector 10, the phase of the clock is unchanged.



**LEGAL STATUS**

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64858

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H04L 7/02			H04L 7/02	Z
	7/00		7/00	G

審査請求 未請求 請求項の数 2 FD (全 5 頁)

(21) 出願番号 特願平7-238178

(22) 出願日 平成7年(1995)8月22日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 近藤 雅美

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

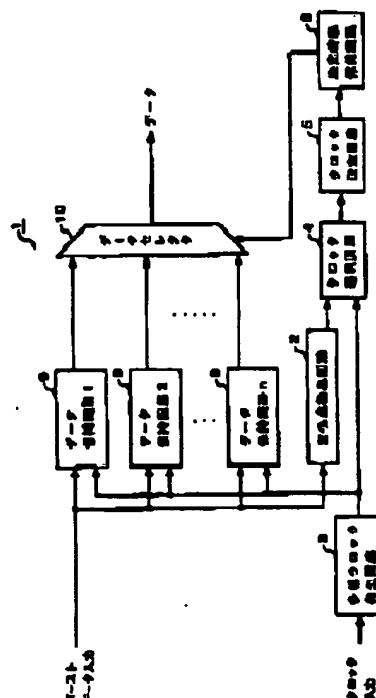
(74) 代理人 弁理士 井上 俊夫

(54) 【発明の名称】 位相同期回路

(57) 【要約】

【課題】 位相同期抽出用ビットを付加することなく、安定した位相同期の確立を行うことのできる位相同期回路を提供すること。

【解決手段】 デジタルデータ伝送における同期を確立のための位相同期回路において、基準クロック信号に基づいて多相クロック信号を生成する多相クロック生成手段3と、多相クロック生成手段3により生成される出力クロック信号をバーストデータの変化点に基づいてラッチし、何相目に変化点があるかを検出するクロック相検出手段と、伝送されるバーストデータをクロック相に対応して保持する複数のデータ保持手段9と、クロック相検出手段によって変化点を検出されたクロック相に対応するデータ保持手段9に保持されたデータを出力データとするデータ選択手段10とを備えるように構成する。



(2)

特開平9-64858

1

## 【特許請求の範囲】

【請求項1】 デジタルデータ伝送における同期を確立のための位相同期回路において、

基準クロック信号に基づいて多相クロック信号を生成する多相クロック生成手段と、

前記多相クロック生成手段により生成される出力クロック信号を伝送されるバーストデータの変化点に基づいてラッチし、当該出力クロック信号の何相目に変化点があるかを検出するクロック相検出手段と、

伝送されるバーストデータを、前記多相クロック生成手段により生成されたクロック相に対応してそれぞれ保持する複数のデータ保持手段と、

複数のデータ保持手段の中から前記クロック相検出手段によって変化点が検出されたクロック相に対応するデータ保持手段を選択し、当該データ保持手段に保持されたデータを出力データとするデータ選択手段と、

を備えることを特徴とする位相同期回路。

【請求項2】 前記クロック相検出手段は、

伝送されるバーストデータの変化点を検出する変化点検出部と、

前記変化点検出回路により検出される変化点で前記多相クロック生成手段により生成される出力クロック信号をラッチし、何相目にクロック変化点があるかを検出するクロック選択部と、

前記クロック選択部により検出されたクロック相に連続して変化点がある場合、当該クロック相を目的のクロック相として決定するクロック決定部と、

前記クロック決定部により決定されたクロック相を保持する結果保持部と、

を有することを特徴とする請求項1記載の位相同期回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルデータ伝送における位相同期回路の分野に関する。

【0002】

【従来の技術】 従来、例えば、図2に示すように、主装置に対して複数の従装置が接続されるポイント・マルチポイント伝送方式のようなシステムでは、位相の異なるデータを利用するために位相同期回路が用いられている。図2は、ポイント・マルチポイント伝送方式によるシステム構成の一例を示す概略図である。すなわち、図2に示すようなポイント・マルチポイント伝送方式では、一般に主装置と各従装置との間の接続距離がそれぞれ異なることから、主装置側で受信する各従装置側からの送信データの位相も各々異なるものとなる。

【0003】 位相同期回路は、このような位相の異なるデータを主装置で正しく受信するために、従装置からの送信データに位相同期抽出用のビットを付加した形で伝送される各送信データの同期をとるものである。ところ

2

が、送信データの同期をとるために位相同期抽出用のビットを付加するというは、一定時間内に送信できるデータ量が減ることとなり、所定量のデータを伝送するためには、伝送速度を上げることが必要となる。このため、従来より位相同期抽出用のビットは極力短くすることが考えられてきた。

【0004】 上記位相同期回路としては、例えば、PLL (Phase Locked Loop) 法、多点サンプリング法、多相選択法を用いたものが一般的に知られており、これらの方法を上記ポイント・マルチポイント伝送方式に適用した場合、PLL法では位相同期確立に時間がかかるといふ欠点、多点サンプリング法では伝送速度の数倍のクロック信号が必要であるといふ欠点、それぞれ指摘されており、ポイント・マルチポイント伝送方式には多相選択法が有効であるといふことが、従来より一般的となっている。

【0005】 図3は、従来の多相選択法を用いた位相同期回路の一例を示すブロック図であり、図4は、図3の位相同期回路における各回路からの出力波形を示すタイミングチャートである。図3において、位相同期回路1は、変化点検出回路2、多相クロック発生回路3、クロック選択回路4、クロック決定回路5、決定結果保持回路6、多相クロックセレクタ7、データ再生回路8の各回路から構成されている。

【0006】 変化点検出回路2は、受信されたバーストデータの変化点（クロック立ち上がり点及びクロック立ち下がり点）を検出するものである。多相クロック発生回路3は、基準となるクロック信号（以下、基準クロック信号）を所定時間シフトしていくことにより、多相クロック信号を生成するものであり、本例では、基準クロック信号を含めて4相分のクロック信号を生成している。

【0007】 クロック選択回路4、変化点検出回路2からの出力パルスの立ち上がりタイミングで、多相クロック発生回路3の出力クロック信号をラッチし、多相クロックの何相目に変化点があるかを見つけるためのものである。クロック決定回路5は、クロック選択回路4の保護を行うための回路であり、所定条件を満たす場合（この場合、2回連続同一相に変化点があるとき）、条件を満たしたクロック相を決定するものである。

【0008】 決定結果保持回路6は、クロック決定回路5により決定されたクロック相を保持するための回路であり、多相クロックセレクタ7は、多相クロック発生回路3により生成したクロック信号の中から、決定結果保持回路6により保持している相のみを選択する回路である。データ再生回路8は、多相クロックセレクタ7により選択されたクロック信号に対してデータ位相を合わせるための回路である。

【0009】 以上の構成において、入力されるバーストデータの変化点に対して、4相分のクロック信号の中か

## 3

らクロック相を決定するとともに、当該クロック相のクロック信号を選択し、選択されたクロック信号にデータ位相を合わせることで、位相同期を確立している。

【0010】

【発明が解決しようとする課題】しかしながら、このような従来の位相同期回路1にあっては、多相クロック信号を多相クロックセレクタ7によって選択するという構成となっていたため、以下に述べるような問題点があった。すなわち、多相クロックセレクタ7によってクロック信号選択の決定を行う時にはクロック相が変化するため、セレクタ出力のクロック位相をシフトするか、または、クロック位相が決定までクロック信号を出力しないようにしなければならず、後段回路での安定動作を保証するためには、クロック決定論理よりも長い位相同期抽出用のビットが必要となっていた。

【0011】また、位相同期抽出用のビット長を長くすれば安定したクロック相の選択が可能となるが、伝送速度をさらに上げることが要求され、ビット長を短くすれば、クロック相の選択がむずかしくなるという問題点があった。このように、多相選択法を用いた場合でも位相同期抽出用ビットは最低数ビット必要となり、この位相同期抽出用ビットを付加することによって伝送速度の上昇が余儀なくされていた。

【0012】本発明の課題は、上記問題点を解消し、位相同期抽出用ビットを付加することなく、安定した位相同期の確立を行うことのできる位相同期回路を提供することにある。

【0013】

【課題を解決するための手段】本発明の位相同期回路は、デジタルデータ伝送における同期を確立のための位相同期回路において、基準クロック信号に基づいて多相クロック信号を生成する多相クロック生成手段と、前記多相クロック生成手段により生成される出力クロック信号を伝送されるバーストデータの変化点に基づいてラッチし、当該出力クロック信号の何相目に変化点があるかを検出するクロック相検出手段と、伝送されるバーストデータを、前記多相クロック生成手段により生成されたクロック相に対応してそれぞれ保持する複数のデータ保持手段と、複数のデータ保持手段の中から前記クロック相検出手段によって変化点が検出されたクロック相に対応するデータ保持手段を選択し、当該データ保持手段に保持されたデータを出力データとするデータ選択手段と、を備えるように構成している。

【0014】この場合、請求項2に記載するように、前記クロック相検出手段は、伝送されるバーストデータの変化点を検出する変化点検出部と、前記変化点検出回路により検出される変化点で前記多相クロック生成手段により生成される出力クロック信号をラッチし、何相目にクロック変化点があるかを検出するクロック選択部と、前記クロック選択部により検出されたクロック相に連続

(3)

特開平9-64858

## 4

して変化点がある場合、当該クロック相を目的のクロック相として決定するクロック決定部と、前記クロック決定部により決定されたクロック相を保持する結果保持部と、を有することが好ましい。

【0015】

【発明の実施の形態】以下、本願発明の一実施形態を図面に基づいて説明する。図1は、本実施形態における位相同期回路の一例を示すブロック図である。なお、図1において、図3に示す従来例と同一要素部分には同一符号を付している。本実施形態の位相同期回路1は、大別して、多相クロック生成手段となる多相クロック発生回路3と、クロック相検出手段の機能を有する変化点検出回路(変化点検出部)2、クロック選択回路(クロック選択部)4、クロック決定回路(クロック決定部)5、決定結果保持回路(結果保持部)6と、データ保持手段となる複数のデータ保持回路9、9、…と、データ選択手段となるデータセレクタ10との各回路から構成されている。

【0016】データ保持回路9、9、…は、多相クロック発生回路3により生成したクロック信号の各相毎にバーストデータを記憶するための回路であり、例えば、多相クロック発生回路3により基準クロック信号を含めて4相分のクロック信号を生成している場合には、各相に対応する4つのデータ保持回路9、9、…によって各相のデータをそれぞれ記憶する。データセレクタは、決定結果保持回路6により保持されているクロック相に対応するデータクロック信号を、上記データ保持回路9、9、…の中から選択する回路である。

【0017】次に上述実施形態の作用について説明する。まず、多相クロック発生回路2によって生成される各クロック相に対応して、各データ保持回路9、9、…にバーストデータが保持される。そして、変化点検出回路3によって検出されるバーストデータの変化点(クロック立ち上がり点または立ち下がり点)に基づいて、クロック選択回路4、クロック決定回路5、決定結果保持回路6により、多相クロック発生回路2によって生成された各クロック信号から所望のクロック相が選択・決定される。次に、決定されたクロック相に対応するデータ保持回路9からの出力データがデータセレクタ10によって出力対象データとして選択される。

【0018】すなわち、本実施形態では、データセレクタ10によってクロック信号選択の決定を行う時にはクロック相が変化することがないため、従来例のように、セレクタ出力のクロック位相をシフトしたり、クロック位相が決定までクロック信号を出力しないようにすることが不要となる。このため、後段回路での安定動作を保証するために、位相同期抽出用のビットを用いることもなくなる。

【0019】なお、前述の実施形態では、多相クロック発生回路3において生成する多相クロック信号は、基準

50

(4)

特開平9-64858

5

クロック信号を含めて4相分となっているが、この相数は任意に設定可能である。また、クロック決定回路5では、クロック選択回路4の保護のために連続して2回同一相に変化点がある場合にクロック相を決定するようにしているが、この決定条件は、種々の条件に合わせて変更可能であることはいうまでもない。

【0020】

【発明の効果】本発明では、ポイント・マルチポイント伝送方式において、位相同期抽出用のビットを伝送することなく安定した位相同期クロック抽出回路を実現することができ、位相同期抽出用のビットを付加することによる伝送速度の上昇をさせることができる。

【図面の簡単な説明】

【図1】本実施形態における位相同期回路の一例を示すブロック図。

【図2】ポイント・マルチポイント伝送方式によるシス

6

テム構成の一例を示す概略図。

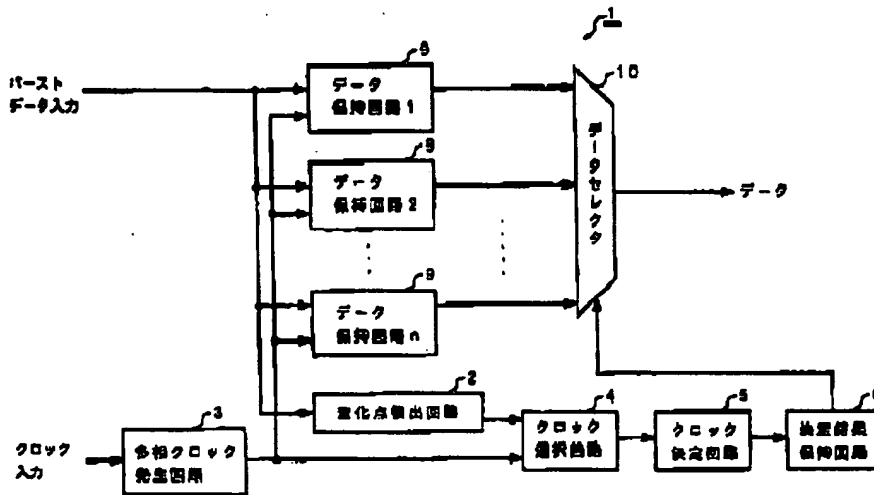
【図3】従来の多相選択法を用いた位相同期回路の一例を示すブロック図。

【図4】図3の位相同期回路における各回路からの出力波形を示すタイミングチャート。

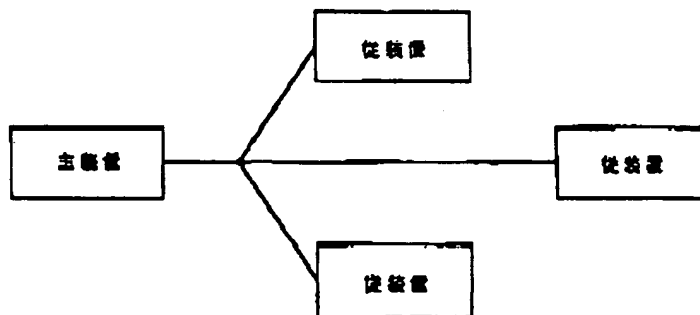
【符号の説明】

- 1 位相同期回路
- 2 変化点検出回路（変化点検出部）
- 3 多相クロック発生回路（多相クロック生成手段）
- 4 クロック選択回路（クロック選択部）
- 5 クロック決定回路（クロック決定部）
- 6 決定結果保持回路（結果保持部）
- 7 多相クロックセレクタ
- 8 データ再生回路
- 9 データ保持回路（データ保持手段）
- 10 データセレクタ（データ選択手段）

【図1】



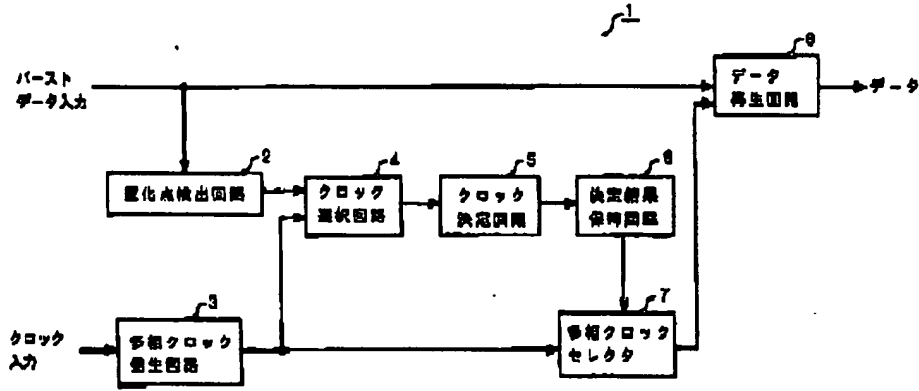
【図2】



(5)

特開平9-64868

【図3】



【図4】

